



PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6

H04N 7/30, 1/41

AI

(11) 国際公開番号

WO99/44368

(43) 国際公開日

1999年9月2日(02.09.99)

(21) 国際出願番号

PCT/JP99/00860

(22) 国際出願日

1999年2月24日(24.02.99)

(30) 優先権データ

特願平10/46478 4/208116 1998年2月27日(27.02.98) JP
 特願平10/54017 252338 1998年3月5日(05.03.98) JP
 特願平10/112465 251920 1998年4月22日(22.04.98) JP

(81) 指定国 KR, US, 欧州特許(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

添付公開書類

国際調査報告書

(71) 出願人(米国を除くすべての指定国について)

鐘紡株式会社(KANEBO LIMITED)[JP/JP]

〒131-0031 東京都墨田区墨田五丁目17番4号 Tokyo, (JP)

(72) 発明者; および

(75) 発明者/出願人(米国についてののみ)

平野憲司(HIRANO, Kenji)[JP/JP]

〒590-0945 大阪府堺市戎之町東4丁目1番23号 Osaka, (JP)

北村臣二(KITAMURA, Shinji)[JP/JP]

〒617-0832 京都府長岡京市東神足1丁目3番11-104号

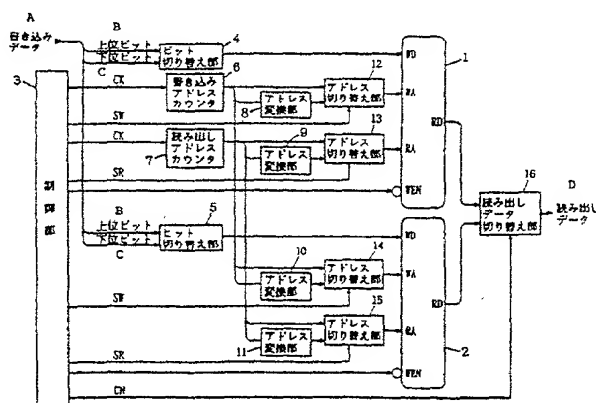
Kyoto, (JP)

村田達彦(MURATA, Tatsuhiko)[JP/JP]

〒615-8084 京都府京都市西京区桂坤町7-2-304 Kyoto, (JP)

(54) Title: IMAGE DATA PROCESSING DEVICE AND PROCESSING METHOD

(54) 発明の名称 画像データ処理装置および処理方法



3 ... CONTROL UNIT

12 ... ADDRESS SWITCHING SECTION

4 ... BIT SWITCHING SECTION

13 ... ADDRESS SWITCHING SECTION

5 ... BIT SWITCHING SECTION

14 ... ADDRESS SWITCHING SECTION

6 ... WRITE ADDRESS COUNTER

15 ... ADDRESS SWITCHING SECTION

7 ... READ ADDRESS COUNTER

16 ... READ DATA SWITCHING SECTION

8 ... ADDRESS CONVERTING SECTION

A ... WRITE DATA

9 ... ADDRESS CONVERTING SECTION

B ... MORE SIGNIFICANT BITS

10 ... ADDRESS CONVERTING SECTION

C ... LESS SIGNIFICANT BITS

11 ... ADDRESS CONVERTING SECTION

D ... READ DATA

(57) Abstract

A device for processing block data on an image at high speed, wherein consecutive two pieces of data are simultaneously written in different memories when scanning data, data is processed in sets of an effective part and an ineffective part, and the later processings are classified depending on the frequencies of occurrence of data, thereby reducing the circuit scale and increasing the operating speed.